



(12) 发明专利

(10) 授权公告号 CN 101902039 B

(45) 授权公告日 2013. 06. 12

(21) 申请号 201010222713. 4

(22) 申请日 2010. 06. 28

(30) 优先权数据

12/795, 657 2010. 06. 08 US

(73) 专利权人 香港应用科技研究院有限公司

地址 中国香港新界沙田香港科学园科技大道西二号生物资讯中心三楼

(72) 发明人 蔡小五 严北平 杜晓阳 霍晓

韩孝勇 颜丙勇

(74) 专利代理机构 深圳新创友知识产权代理有

限公司 44223

代理人 江耀纯

(51) Int. Cl.

H02H 9/02 (2006. 01)

H02H 9/04 (2006. 01)

(56) 对比文件

CN 101060754 A, 2007. 10. 24, 权利要求 1、说明书第 4-6 页及附图 3.

US 5559659 A, 1996. 09. 24, 说明书第 2 栏第 13 行 - 第 3 栏第 3 行及附图 2.

US 2006/0039093 A1, 2006. 02. 23, 全文.

审查员 闫朝

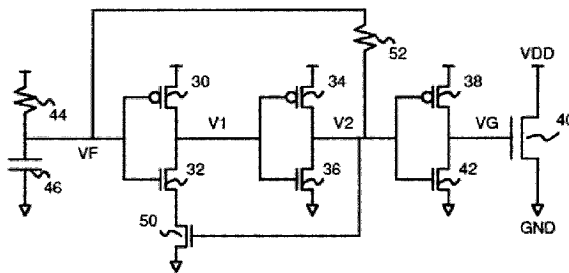
权利要求书3页 说明书6页 附图6页

(54) 发明名称

一个基于 NMOS 反馈用于芯片上电源箝位 ESD 保护电路

(57) 摘要

一种用于电源和地之间的箝位晶体管提供静电放电 (ESD) 保护。滤波电容器和电阻器产生一个滤波电压,其通过三个反向器进行缓冲以驱动箝位晶体管的栅极。滤波电容器大约比传统的箝位电路里的小 20 倍。在滤波电容器和电阻器的 R-C 时间常数过去之后,通过反馈技术保持箝位晶体管开启,允许更小的电容器能够开启箝位晶体管更长时间。亚阈值导电晶体管仅传导一个较小的亚阈值电流,其延长第一反向器输出节点的放电时间。亚阈值导电晶体管的栅极是由第二个反向器反馈驱动。反馈电阻器有较高的电阻值,以缓慢升高来自滤波电压的第二反向器的电压,从而缓慢升高亚阈值导电晶体管的栅极。



1. 一种静电保护电路,包括:

一个箝位晶体管,被连接电源 VDD 和地 Vss 之间用于 ESD 脉冲分流,用一控制电路控制其栅极;

一个滤波电容器,其连接到一个滤波节点;

一个滤波电阻器,其连接到所述滤波节点;

第一反向器,接收滤波节点作为一个输入,并驱动第一节点作为一个输出;第二反向器,接收第一节点作为一个输入,并驱动第二节点作为一个输出;第三反向器,接收第二节点作为一个输入,并驱动栅极节点作为一个输出;一个反馈电阻,其连接在滤波节点和第二节点之间,用于在 ESD 脉冲期间对第二节点充电;和

一个亚阈值导电晶体管,串联于第一反向器,位于第一反向器和 Vss 节点之间,用于延迟箝位晶体管的开启时间;亚阈值导电晶体管传导亚阈值电流。

2. 根据权利要求 1 所述的保护电路,其中在反馈电阻对第二节点充电到超过亚阈值导电晶体管的阈值电压前,第一反向器电流受限于亚阈值电流,由此亚阈值电流延长箝位晶体管的导通时间。

3. 根据权利要求 2 所述的保护电路,其中滤波电容器有一个滤波电容值;其中滤波电阻器有一个滤波电阻值;

其中 R-C 时间常数是滤波电容值乘以滤波电阻值;

其中箝位晶体管保持导通的时间至少比 R-C 时间常数长 10 倍。

4. 根据权利要求 3 所述的保护电路,其中箝位晶体管保持导通的时间至少比 R-C 时间常数长 50 倍,由此亚阈值导电晶体管延长箝位晶体管在 ESD 脉冲期间分流电流的时间。

5. 根据权利要求 2 所述的保护电路,其中滤波电阻器连接在 VDD 节点和滤波节点之间。

6. 根据权利要求 5 所述的保护电路,其中滤波电容器连接在滤波节点和 Vss 之间。

7. 根据权利要求 6 所述的保护电路,其中第一反向器和亚阈值导电晶体管的连接节点为限制节点,第一反向器包括:

第一晶体管,其栅极接收滤波节点,用于在 VDD 节点和第一节点之间传导电流;

第二晶体管,其栅极接收滤波节点,用于在限制节点和第一节点之间传导电流;

其中亚阈值导电晶体管在限制节点和 Vss 之间传导亚阈值电流。

8. 根据权利要求 7 所述的保护电路,其中第二反向器包括一个 N 型晶体管和一个 P 型晶体管;

其中第三反向器包括一个 N 型晶体管和一个 P 型晶体管。

9. 根据权利要求 8 所述的保护电路,其中亚阈值导电晶体管是一个 n- 沟道晶体管,其源极接地。

10. 根据权利要求 9 所述的保护电路,其中第二晶体管是一个 n- 沟道晶体管,其漏极连接到第一节点,其源极连接到限制节点;

其中第一晶体管是一个 p- 沟道晶体管,其源极连接到 VDD 节点。

11. 根据权利要求 10 所述的保护电路,其中箝位晶体管是一个 n- 沟道晶体管,其源极接地。

12. 根据权利要求 11 所述的保护电路,其中箝位晶体管的漏极连接到电源,其源极接地;

其中 ESD 节点是电源 VDD；

由此当 ESD 脉冲从电源 VDD 施加到 Vss 时, 箝位晶体管将电流从电源 VDD 分流到 Vss。

13. 一个 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 包括:

一个 Vdd 电源;

一个 Vss 地;

一个滤波器, 其连接在 Vdd 电源和 Vss 地之间, 用于在一个滤波节点上产生一个滤波电压;

一串反向器, 接收滤波电压作为一个输入, 用于产生一个控制节点作为一个输出, 其中这串反向器为奇数个;

一个反馈电阻, 其连接在滤波节点和中间节点之间, 用于在 ESD 脉冲期间对中间节点充电, 所述中间节点为所述一串反向器中第 n 个反向器的输出节点, 其中 n 为偶数;

一个箝位晶体管, 用于将电流从 Vdd 电源传导到 Vss 地, 以对应控制节点; 和

一个亚阈值导电晶体管, 在所述一串反向器中的限制反向器里, 其栅极接收中间节点, 所述亚阈值导电晶体管用于从限制反向器传导亚阈值电流到 Vss 地, 所述限制反向器接收滤波节点, 用于输出第一节点;

亚阈值导电晶体管导通比较小电流, 延长经过箝位晶体管的放电时间。

14. 根据权利要求 13 所述的 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 其中滤波器包括一个滤波电阻器和一个滤波电容器, 它们串联在 Vdd 电源和 Vss 地之间。

15. 根据权利要求 14 所述的 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 其中箝位晶体管和亚阈值导电晶体管是 n- 沟道金属氧化物半导体 (MOS) 晶体管。

16. 根据权利要求 15 所述的 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 其中箝位晶体管和亚阈值导电晶体管的源极连接到 Vss 地。

17. 根据权利要求 13 所述的 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 其中这串反向器还包括第二反向器和第三反向器:

所述第二反向器, 接收第一节点, 用于驱动中间节点; 和

所述第三反向器, 接收中间节点, 用于驱动控制节点。

18. 根据权利要求 17 所述的 Vdd 电源到 Vss 地静电放电 ESD 保护电路, 其中限制反向器还包括:

一个 p- 沟道晶体管, 其栅极连接滤波节点, 其漏极驱动第一节点, 其源极连接到 Vdd 电源;

一个 n- 沟道晶体管, 其栅极接收滤波节点, 其漏极驱动第一节点, 其源极连接到亚阈值导电晶体管;

亚阈值导电晶体管, 其栅极接收中间节点, 其源极连接到 Vss 地, 其漏极连接到 n- 沟道晶体管的源极。

19. 一个核心保护装置, 用于保护核心晶体管免于静电放电 ESD 脉冲, 包括:

一个箝位 n- 沟道晶体管, 其漏极连接到电源 Vdd, 其源极连接到地, 其栅极连接到控制节点, 用于在 ESD 脉冲期间分流电流;

一个最终反向器, 接收第二节点, 用于输出控制节点;

至少一个中间反向器, 接收第一节点, 用于输出到第二节点, 所述至少一个中间反向器

为奇数；

一个限制上拉晶体管，其栅极接收滤波节点，其漏极驱动第一节点，其源极连接到电源 Vdd；

一个限制下拉晶体管，其栅极接收滤波节点，其漏极驱动第一节点；

一个亚阈值导电晶体管，其漏极连接到限制下拉晶体管的源极，亚阈值导电晶体管的源极连接到地，亚阈值导电晶体管的栅极连接到第二节点，用于在 ESD 脉冲期间开启箝位 n-沟道晶体管时延长放电时间；

一个滤波电阻器，连接在电源 Vdd 和滤波节点之间；

一个滤波电容器，连接在滤波节点和地之间；和

一个反馈电阻，连接在滤波节点和第二节点之间，用于在 ESD 脉冲期间对第二节点充电。

## 一个基于 NMOS 反馈用于芯片上电源箝位 ESD 保护电路

### 【技术领域】

[0001] 本发明涉及半导体电路的静电放电 (ESD) 保护, 特别涉及采用反馈技术的电源和地 (power-to-ground) 之间的箝位电路。

### 【背景技术】

[0002] 半导体加工技术能够生产极小型的晶体管。这些微型晶体管具有很薄的氧化绝缘层, 其容易被静电损坏。因此, 当手持这些半导体装置时需要特别小心。

[0003] 通常人身上携带的静电能够通过半导体集成电路 (IC 或芯片) 上的任何一对接口 (Pin) 进行放电。通常使用自动测试装置施加一个电压在不同对的芯片接口 (Pin) 上, 来测试 IC 芯片对这种静电放电 (ESD) 的阻抗。可以选择任何一对接口 (Pin) 用于 ESD 测试。

[0004] 输入和输出接口 (Pin) 一般有对应的 ESD 保护电路, 但核心电路被直接连接到 Vdd 电源和 Vss 地之间, Vdd 和 Vss 之间没有电源箝位电路用于 ESD 保护。当 ESD 脉冲被施加到 Vdd 和 Vss 之间时, 使用芯片内部晶体管来驱散 ESD 脉冲。

[0005] 但是, 随着装置尺寸持续缩小, 当 ESD 脉冲施加在电源和地之间时就会发生损坏。确切的破坏机理可能很难确定, 并且可能随 IC 电路和几何特性设计的不同而不同。

[0006] 厚氧化物晶体管可以作为 ESD 保护电路。尽管这种厚氧化物晶体管比薄氧化物晶体管更不容易损坏, 但是需要一个非常高的栅控制电压来开启晶体管, 因为栅氧化层比较厚。在厚氧化物晶体管开启之前, 可能发生对芯片上的其它薄氧化物晶体管的损坏。因此, 由厚氧化物晶体管提供的保护低于期望。也可以使用薄氧化物晶体管和横向 NPN 装置。但是, 需要一个较大的宽度或基极 - 发射极区域来传导足够的电流。

[0007] 与其使用无源电路 (passive circuit), 不如使用一个有源箝位。图 1 显示一个现有技术的具有有源 R-C (电阻电容) 箝位的电源和地之间 ESD 保护电路。

[0008] 电容器 22 和电阻器 20 形成一个 R-C 传感元件。反向器 10、12、14 转换电容器 22 和电阻器 20 之间的感应电压, 并驱动 n- 沟道箝位晶体管 18 的栅极。

[0009] 在正常条件下, 电阻器 20 驱动反向器 10 的输入至高, 产生一个低电压驱动 n- 沟道箝位晶体管 18 的栅极, 使得其关断。当一个电压脉冲施加到 Vdd 上, 如一 HBM ESD 脉冲, 电容器 22 保持反向器 10 的输入为低, 同时维持一段时间, 该时间由 R-C 时间常数确定。反向器 10 的低输入驱动 n- 沟道箝位晶体管 18 的栅极至高, 从而开启 n- 沟道箝位晶体管 18, 将电流从电源分流到地, 分流施加到电源线的 ESD 脉冲。

[0010] 尽管这种有源 ESD 保护电路很有用, 但其易受噪声影响, 特别是在芯片上电期间。如果有源 ESD 保护电路在上电期间被触发, 将会导致 Vdd 下降或甚至闩锁 (latch-up)。低电源电压电路可能更易受到影响。

[0011] 在 R-C 时间过去之后, 电阻器 20 将反向器 10 的输入上拉至高, 一个低电压被驱动至 n- 沟道箝位晶体管 18 的栅极上, 从而将它关闭。如果 R-C 数值太小, 箝位晶体管很快就关闭, 在所有 ESD 电流通过 n- 沟道箝位晶体管 18 被分流到地之前就关闭了。对 HBM, 脉冲宽度相对较宽, 从而需要较大的 R-C 数值 (例如大约 1 $\mu$ s), 从而 n- 沟道箝位晶体管 18 在

HBM ESD 脉冲结束之前不会关闭。这个较大的 R-C 数值会导致较大尺寸的电容器 22。使用较大的电容器,漏电和误触发可能是一个问题。

[0012] 电容器 22 可以有一个大约 10pF 的数值。对一个 0.35- $\mu\text{m}$  CMOS 工艺而言,图 1 电路可能需要 12,000  $\mu\text{m}^2$  的面积。可以使用反馈、静态存储器、和晶闸管 (thyristor) 来解决图 1 的大电容器问题。但是,仍然期望有改进的反馈电路。

[0013] 期望有一种 ESD 保护电路,其能够保护 IC 的内部电源。期望有一个有源的而不是无源的保护电路。期望能够主动地导通或者关断 ESD 保护电路。期望能够主动导通或者关断一个薄氧化物晶体管,其作为在电源和地之间的 ESD 泄放通路。期望能够避免使用厚氧化物晶体管和二极管。期望有一个有源 ESD 保护电路,其在上电期间不易受噪声影响。期望有一个具有改进反馈的 ESD 保护电路来降低电容器的尺寸。

### 【附图说明】

[0014] 图 1 显示一个现有技术的具有有源 R-C 箝位的电源和地之间的 ESD 保护电路。

[0015] 图 2 是一个 NMOS 反馈有源 ESD 箝位的结构示意图。

[0016] 图 3 显示在一个 ESD 事件开始时 NMOS 反馈有源 ESD 箝位的状态。

[0017] 图 4 显示在 ESD 事件开始后经过 R-C 时间常数之后 NMOS 反馈有源 ESD 箝位的运作。

[0018] 图 5 显示在亚阈值电流已经放电 V1 之后 NMOS 反馈有源 ESD 箝位的状态。

[0019] 图 6A 是一个 HBM ESD 输入的电流波形。

[0020] 图 6B 显示当图 6A 的 HBM 电流脉冲被施加到电源时图 2 电路的节点的电压波形。

[0021] 图 7A-C 仿真了当 Vdd 缓慢上电时的漏电情况。

[0022] 图 8A-C 仿真了当 Vdd 快速上电时的漏电情况。

[0023] 图 9A-D 仿真了 VDD 上有毛刺脉冲时的漏电情况。

### 【发明详述】

[0024] 本发明涉及 ESD 保护电路的改进。以下描述使本领域技术人员能够制作和使用在特别应用及其要求的上下文里提供的本发明。对本领域的技术人员而言,对优选实施例的各种改进是显而易见的,在此定义的一般原理可以应用到其它实施例。因此,本发明不是意在受限于所述和所示的特别实施例,而是属于与在此披露的原理和新颖性特征一致的范围内。

[0025] 发明人已经认识到反馈能够延长 n- 沟道箝位晶体管的开启时间,从而允许使用一个更小的电容器。发明人同样认识到亚阈值导通 (sub-threshold conduction) 能够被用来进一步延长开启时间。由于亚阈值电流很小,放电时间能够被充分延长。

[0026] 图 2 是一个亚阈值反馈有源 ESD 箝位的结构示意图。滤波电阻器 44 和滤波电容器 46 被串联在电源和地之间,并在其交叉点上产生一个滤波电压 VF。

[0027] p- 沟道晶体管 30 和 n- 沟道晶体管 32 转换 VF 以产生电压 V1。亚阈值导电晶体管与晶体管 30、32 串联在一起。亚阈值导电晶体管 50 连接 n- 沟道晶体管 32 的源极到地。

[0028] p- 沟道晶体管 34 和 n- 沟道晶体管 36 构成了第二个反向器,在它们的栅极接收 V1,并在它们的漏极产生 V2。反馈电阻 52 将 VF 前馈到 V2。

[0029] p-沟道晶体管 38 和 n-沟道晶体管 42 构成了第三个反向器,在它们的栅极上接收 V2,并在它们的漏极上产生 VG。VG 是 n-沟道箝位晶体管 40 栅极上的栅极电压,箝位晶体管 40 将 ESD 电流从电源 (Vdd 或 Vcc) 分流到地 (Vss)。

[0030] 当 Vdd 电源通电或 IC 正在正常状态运行时,反馈电阻 52 将电压 V2 拉高,因为电压 VF 被滤波电阻器 44 拉高。如果反馈电阻 52 的数值太高,V2 将不会被拉到足够高。但是,如果反馈电阻 52 的数值太低,ESD 施加时箝位晶体管的开启时间将会降低。2K ohm 数值的反馈电阻 52 将产生非常好的效果。

[0031] 反馈电阻 52 和亚阈值导电晶体管 50 提供的反馈将延长 n-沟道箝位晶体管 40 保持开启的时间。因此,可以使用一个较小的 R-C 时间常数,滤波电容器 46 可以比较小,占用比较小的面积,有比较小的漏电。

[0032] 图 3 显示在 ESD 事件开始时亚阈值反馈有源 ESD 箝位电路的状态。当 ESD 脉冲被快速施加到电源时,内部电源电压快速上升。但是,滤波电容器 46 保持滤波电压 VF 为低电位,电源电流不能快速通过滤波电阻器 44 对 VF 进行充电。

[0033] 相对低的 VF 电压可以接近名义上的电源电压,但当 ESD 脉冲施加到电源时,它远小于电源电压。例如,电源电压名义上可能是 3.0 伏特,当 ESD 脉冲将电源电压从 3.0 伏特上升到 2000 伏特时,VF 保持接近 3 伏特。

[0034] VF 的初始低电压使得 p-沟道晶体管 30 开启,因为 ESD 脉冲施加到电源时其源极电压上升。p-沟道晶体管 30 导通,其漏极上的 V1 电压为高电平。

[0035] 高 V1 电压开启 n-沟道晶体管 36,其驱动 V2 至低以接地。V2 的低电压使得 p-沟道晶体管 38 开启,因为 ESD 脉冲施加到电源时其源极电压上升。p-沟道晶体管 38 传导电源电流而升高其漏极上的 VG 电压。

[0036] 高 VG 电压被施加到 n-沟道箝位晶体管 40 的栅极。n-沟道箝位晶体管 40 的漏极被连接到电源,n-沟道箝位晶体管 40 的源极被接地。因此,n-沟道箝位晶体管 40 开启并传导大量电流,将 ESD 脉冲从电源分流到地。

[0037] 反馈电阻 52 两端电压都很低。V2 低电压关闭亚阈值导电晶体管 50。

[0038] 图 4 显示在 ESD 事件开始后经过 R-C 时间常数之后亚阈值反馈有源 ESD 箝位保护电路的状态。电路保持如图 3 所述的初始状态一段时间,大约等于 R-C 时间常数,该时间常数主要由滤波电阻器 44 的电阻值和滤波电容器 46 的电容量确定。

[0039] 在经过 R-C 时间之后,滤波电阻器 44 对滤波电容器 46 进行充电,从而滤波电压 VF 从低位上升到高位。高电压 VF 关闭 p-沟道晶体管 30,使得电源电流不再被传导到 V1。高电压 VF 也开启 n-沟道晶体管 32。但是,n-沟道晶体管 32 并不是直接接地。亚阈值导电晶体管 50 阻止电流流经 n-沟道晶体管 32,因为亚阈值导电晶体管 50 的栅极是电压 V2,其仍然是低电位。

[0040] 在 n-沟道晶体管 32 的漏极和源极之间有一些电荷共享,这会稍微降低漏极电压 V1。在经过 R-C 时间之后,电压 V1 浮动并保持高电位。高 V1 导致 V2 保持低电位,这导致 VG 保持高电位。高 VG 保持 n-沟道箝位晶体管 40 开启,ESD 电流持续从电源 Vdd 分流到地。

[0041] 现在,反馈电阻 52 两端是不同的电压。高电压 VF 经过反馈电阻 52 缓慢升高电压 V2。但是,反馈电阻 52 的电阻值使得对 V2 的充电被拖慢。在这期间,n-沟道箝位晶体管

40 持续分流 ESD 电流。

[0042] 当反馈电阻 52 升高 V2 电压时,亚阈值导电晶体管 50 的栅极电压也同时升高,但仍然低于亚阈值导电晶体管 50 的阈值电压。这个栅极电压的轻微上升使得一个亚阈值电流流经亚阈值导电晶体管 50。亚阈值导电晶体管 50 是一个普通的 NMOS 晶体管,但是在此电路里,在其栅极电压达到晶体管阈值电压之前为亚阈值导电。这种亚阈值电流经过 n- 沟道晶体管 32 对的 V1 节点放电。

[0043] 图 5 显示在亚阈值电流对 V1 放电之后亚阈值主动反馈 ESD 箝位保护电路的状态。最终,流经亚阈值导电晶体管 50 的亚阈值电流能够将电压 V1 拉低以低于第二反向器的逻辑开关阈值。然后,p- 沟道晶体管 34 开启,而 n- 沟道晶体管 36 关闭。它们的漏极电压 V2 从低电位变为到高电位。高电压 V2 被施加到亚阈值导电晶体管 50 的栅极,导致其完全开启并驱动电压 V1 至低电平。

[0044] 高电压 V2 导致 p- 沟道晶体管 38 关闭,而 n- 沟道晶体管 42 开启。栅极电压 VG 为低电位。低电位 VG 关闭 n- 沟道晶体管 40,ESD 分流电流停止。

[0045] 为了特定的半导体工艺技术,电阻器和晶体管的实际数值可以通过电路仿真来确定。通过仿真确定具体数值,从而图 4 电路保持开启时间足够长以便能够分流一个 2000 伏特的 HBM ESD 事件。

[0046] 例如,当反馈电阻 52 是 2K 欧姆,滤波电阻器 44 是 20K 欧姆时,滤波电容器 46 可以是 0.5pF,其比图 1 现有技术的电容器 22 所需的 10pF 小 20 倍。对一个 0.35- $\mu\text{m}$  CMOS 工艺,电容器面积可以从 12,000  $\mu\text{m}^2$  缩减到 600  $\mu\text{m}^2$ 。

[0047] 图 6A 是一个 HBM ESD 输入脉冲的电流波形。在 10ns 时间内,施加的电流突然上升到 1.3A。然后,电流在其后 600ns 期间缓慢降低。

[0048] 图 6B 显示当图 6A 的 HBM 电流脉冲施加到电源时图 2 电路各节点的电压波形。电源电压 Vdd 快速上升到大约 10 伏特。由于滤波器的 R-C 时间常数 10ns (20K- $0\text{hm} \times 0.5\text{pF}$ ),滤波电压 VF 初始处于低电位大约 10ns。在 VF 上升之前,V1 和 VG 快速上升,而 V2 保持低电位,尽管其初始有一小脉冲。对应图 3 所示的 ESD 事件的开始,这个初始时间大约是 20ns。高 VG 完全开启 n- 沟道箝位晶体管 40,Vdd 开始下降。

[0049] 在大约 10ns 的 R-C 时间常数之后,滤波电阻器 44 能够对滤波电容器 46 充电,从而升高 VF。在图 6B 内,这大约发生在 20-30ns。Vdd 持续下降,因为 VG 高位,保持 n- 沟道箝位晶体管 40 开启。当 Vdd 下降时,V1 和 VG 也下降,因为它们通过 p- 沟道晶体管由 Vdd 驱动。这对应图 4,在经过 R-C 时间常数之后。

[0050] 流经亚阈值导电晶体管 50 的亚阈值电流对 V1 缓慢放电一段较长时间,在图 6B 内大约是从 20ns 到 520ns。最终这个亚阈值电流充分地对 V1 放电,使得 V2 从低位转换到高位,而 VG 从高位转换到低位,从而关闭 n- 沟道箝位晶体管 40。但是,HBM 电流在对 V2 充电之前结束,这在图 6B 内是看不到的。

[0051] 最终箝位晶体管 40 在 520ns 时关闭,因为一旦亚阈值电流已经对 V1 放电,V1 和 VG 被驱动至低。在仿真阶段 V2 没有出现高电位,因为 Vdd 电压在 520ns 之后非常小。

[0052] 图 7A-C 仿真当 Vdd 缓慢上电时的漏电情况。在图 7A 的仿真里,电源电压 Vdd 在 1 毫秒 (ms) 内上升到 3.3 伏特,然后 Vdd 保持在正常的电源电压水平上长达 1ms,然后在另一个 1ms 内 Vdd 下降到 0V。



[0053] 在图 7B, 在 Vdd 缓慢上电时, 图 2 电路的漏电流初始脉冲到 5nA 以上。在上电期间 Vg 达到 750mV 的晶体管阈值之前, 这种初始漏电流是由于 n- 沟道箝位晶体管 40 的亚阈值漏电流产生的。一旦 Vdd 稳定为 3.3V, 漏电流下降到零。当关闭 Vdd 电源时, 有很小的漏电流。

[0054] 在图 7C, 栅极电压 VG 始终在晶体管阈值电压之下, 大约 75mV 的 VG 产生了如图 7B 内所见的亚阈值漏电流的尖脉冲。但是, 当 Vdd 持续上升时, 栅极电压恢复为 0 电平。栅极电压 VG 保持 0 电压, 直到电路被断电。当 n- 沟道晶体管关闭时, 由于电容耦合, 栅极电压 VG 被耦合到 0 电平之下。

[0055] 图 8A-C 仿真当 Vdd 快速上电时的漏电流情况。在图 8A 的仿真里, 电源电压 Vdd 在 10 微秒 ( $\mu s$ ) 内从 0 电压快速上升到 3.3 伏特。然后 Vdd 保持在正常的电源电压 100  $\mu s$ , 然后在另一个 10  $\mu s$  内 Vdd 下降到 VSS 电压。

[0056] 在图 8B 内, 当电源电压上升至 Vss 电压之上时, 图 2 电路的漏电流初始尖脉冲达到 50nA 以上。由于更快的电源电压上升时间, 漏电流比图 7B 的大 10 倍。在上电期间 Vg 达到 750mV 的晶体管阈值之前, 这种漏电流是由 n- 沟道箝位晶体管 40 的亚阈值漏电流引起的。Vdd 稳定在 3.3 伏特时, 漏电流下降至零。当 Vdd 下降到 Vss 电压时, 有小的漏电流产生。

[0057] 在图 8C, 栅极电压 VG 始终在晶体管阈值电压之下, 初始有 100mV 脉冲, 产生图 8B 所见漏电流脉冲。但是, 当 Vdd 稳定时, 栅极电压为 0 电平。栅极电压 VG 保持在 Vss 电压, 直到电路被断电, 当 n- 沟道晶体管关闭时, 由于电容耦合, 栅极电压 VG 被耦合到 Vss 电压之下。

[0058] 图 9A-D 仿真了 VDD 中有毛刺脉冲 (glitch) 时的漏电流情况。在图 9A 的仿真里, 电源电压 Vdd 在 1 毫秒 (ms) 内从 Vss 电压上升到 3.3 伏特。然后 Vdd 保持在正常的电源电压长达 3 毫秒, 在另一个 1 毫秒内 Vdd 下降到 Vss 电压。

[0059] ESD 保护电路的误触发是一个问题。误触发可能是由 Vdd 上的毛刺脉冲 (glitch) 或噪声引起。图 9A 仿真在 2.8 毫秒时 Vdd 上有一个向下的毛刺脉冲, 在 3.7 毫秒时 Vdd 上有另一个向上的毛刺脉冲。毛刺脉冲在量级上大约是 3-4 伏特。

[0060] 当电源上升到 Vss 以上时, 图 2 电路的漏电流初始尖脉冲在 50nA 以上。在上电期间 Vg 到达 750mV 的晶体管阈值之前, 这种初始漏电流是由于 n- 沟道箝位晶体管 40 的亚阈值漏电流引起。一旦 Vdd 达到 3.3 伏特, 漏电流下降到零。当 Vdd 下降到 Vss 电压时, 漏电流再次发生。

[0061] 当毛刺脉冲出现在 Vdd 上时, 会发生大约  $\pm 500nA$  的漏电流。漏电流初始是毛刺脉冲方向, 然后是跟毛刺脉冲结束的相反方向。

[0062] 在图 9C, 栅极电压 VG 初始低于晶体管阈值电压, 大约为 75mV, 导致在图 9B 内所看到的微小初始漏电流尖脉冲。但是, 当 Vdd 稳定时, 栅极电压被驱动至 Vss 电压。栅极电压 VG 保持为 0 电平, 直到电路断电, 由于当 n- 沟道晶体管关闭时的电容耦合, 栅极电压 VG 被耦合到 Vss 以下。

[0063] 栅极电压 VG 没有被 Vdd 上的毛刺脉冲干扰。因此, 该电路对 Vdd 毛刺脉冲有很好的抗干扰能力。从而误触发不会发生。在图 9D 内, 内部节点 V2 也经历 Vdd 的毛刺脉冲, 但它们在达到 VG 之前被抑制。

## 【其它实施例】

[0064] 发明人补充了一些其它实施例。例如,除标准互补金属氧化物半导体 (CMOS) 之外,可以使用各种晶体管技术。箝位晶体管能够保持导通至少比 R-C 时间常数长 10 倍。事实上,图 6B 显示箝位保持启动的时间是大约 50 倍的 10ns 时间常数。

[0065] 在不同的工艺技术里,电容器和电阻器的其它实施方法是可能的。可以使用较长串的反向器,或者可以使用除了反向器的更复杂的门电路。R-C 元件可以被添加到各个节点,如在反向器链内的节点。也可以有寄生电阻和电容。也可以替换为其它晶体管技术。可以使用其它滤波或者更复杂的滤波器。电阻器和电容器能够以各种方式实施,并可以被安置在焊盘金属之下以最小化面积。在此所述的电阻值和电容值仅是范例,可以有其他数值。晶体管尺寸也可以有不同,当 n- 沟道箝位晶体管 40 很大时反向器可以根据尺寸按比例变化。

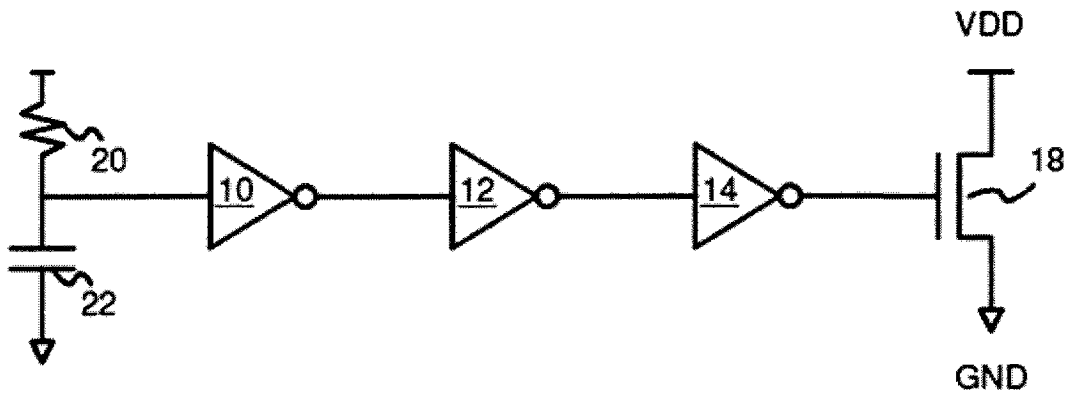
[0066] 每个反向器可以被三个反向器替代,或者是一些其它奇数数目的反向器。也可以添加延迟线和缓冲器。源极和漏极是可以互换的,并且电流可以被看作是正的或负的,取决于流动方向和电荷。

[0067] 本发明的背景部分可以包括有关本发明问题或环境的背景信息,而不仅仅是描述的现有技术。因此,在背景部分内包含的材料并不是申请者所认同的现有技术。

[0068] 在此描述的任何方法或过程是机器实施的或计算机实施的,并意在由机器、计算机或其它装置执行,而并不是意在仅依靠人而不需要机器协助来执行。产生的有形结果可以包括报告或其它机器生成的在显示器上显示的展示,如计算机监控器、投影仪装置、音频产生装置和相关媒体装置,并可以包括同样由机器产生的硬拷贝打印输出。其它机器的计算机控制是另一个有形结果。

[0069] 描述的任何优势和好处可能不适合本发明的所有实施例。通常有一个或多个单词出现在“装置”之前。在“装置”之前的单词是一个参考权利要求元素的简易标记,而不是意在表达一个结构限制。这种“装置加功能”的权利要求意在不仅包括在此所述的用来执行此功能的结构及其结构等同物,而且包括等同的结构。例如,尽管钉子和螺丝钉具有不同的结构,但它们是等同的结构,因为它们都执行固定的功能。信号通常是电子信号,但也可以是光纤上的光信号。

[0070] 为了叙述本发明,前面已经描述了本发明的实施例。但是,这并不是穷尽性地或限制本发明的范围。根据本发明的上述教义,许多改进和变化是可能的。本发明的范围并不受制于详细描述,而是受限于所附的权利要求。



现有技术

图 1

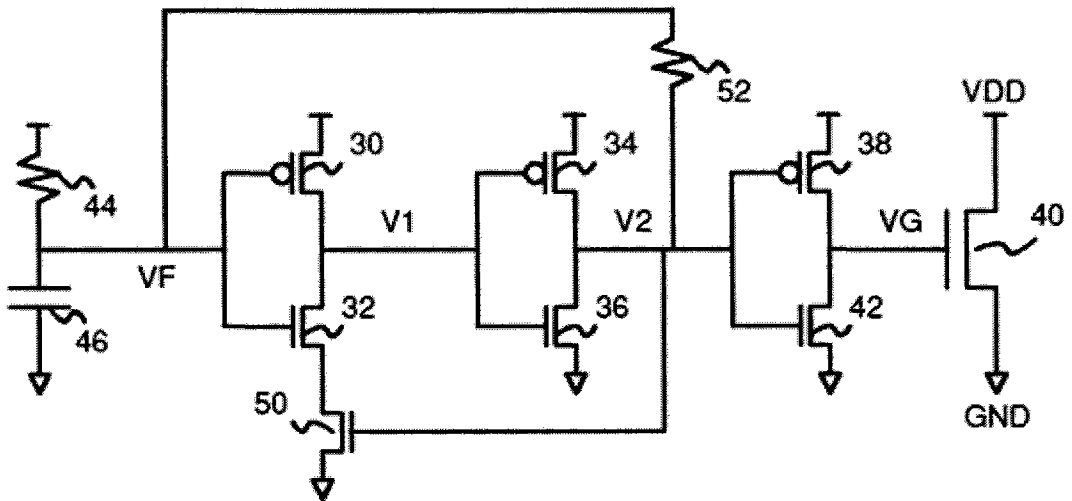
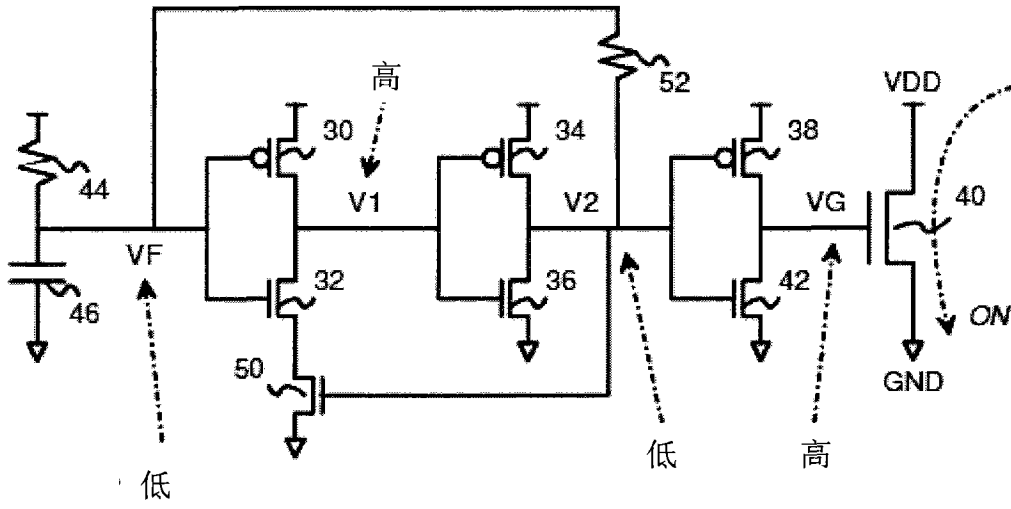
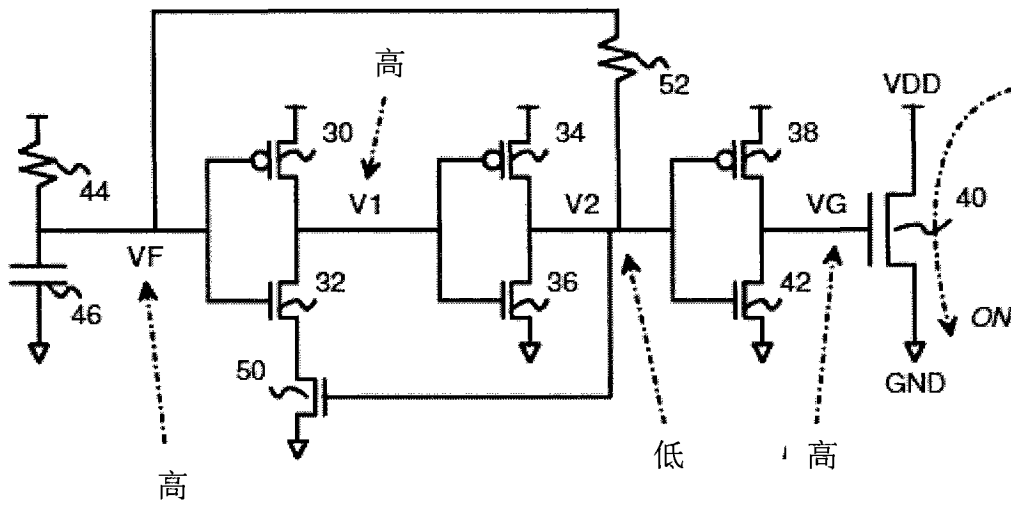


图 2



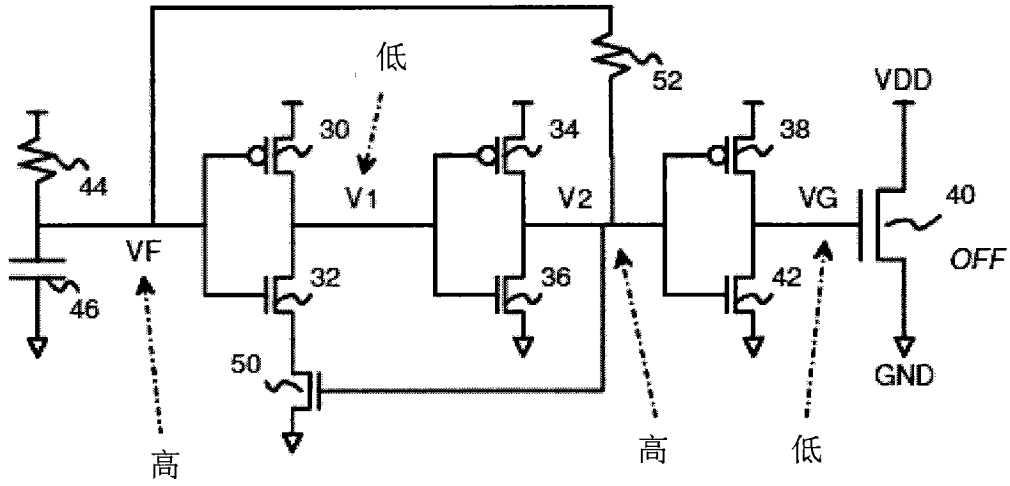
ESD 事件开始时

图 3



R-C 时间过去后

图 4



亚阈值电流放电后

图 5

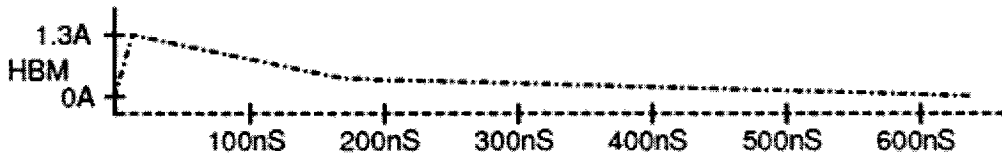


图 6A

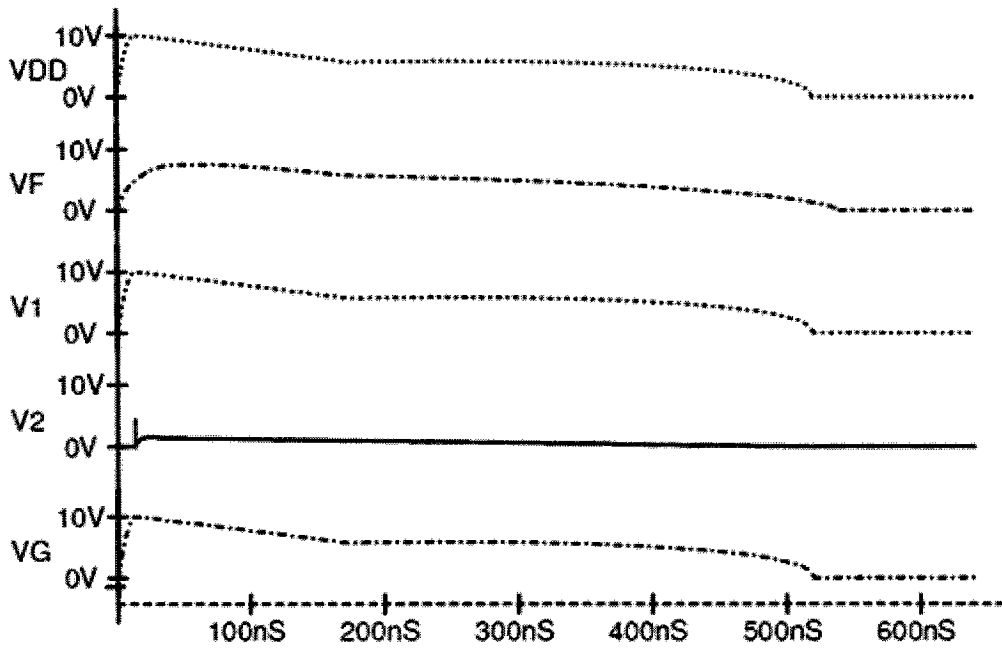


图 6B

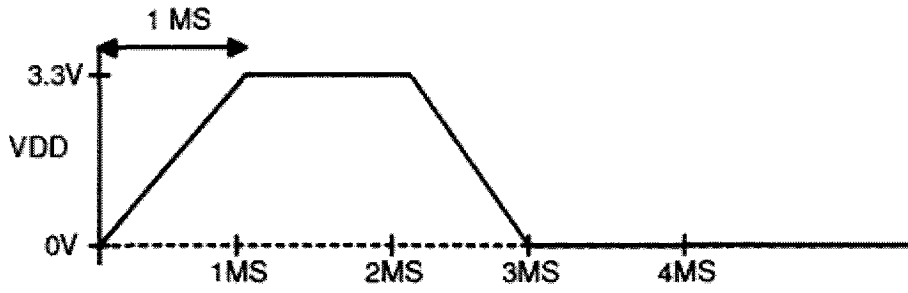


图 7A

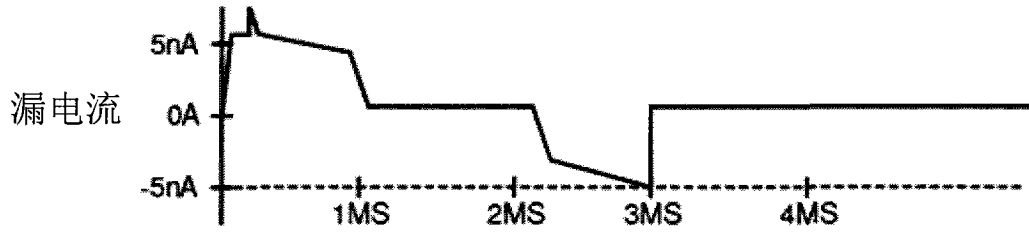


图 7B

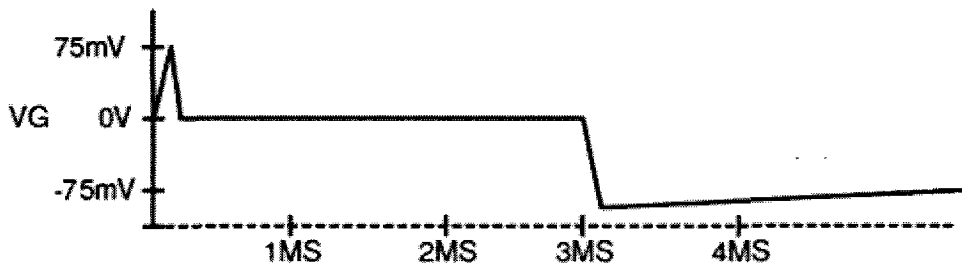


图 7C

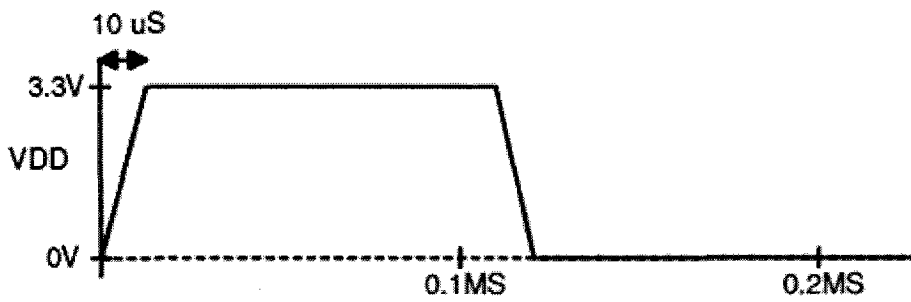


图 8A

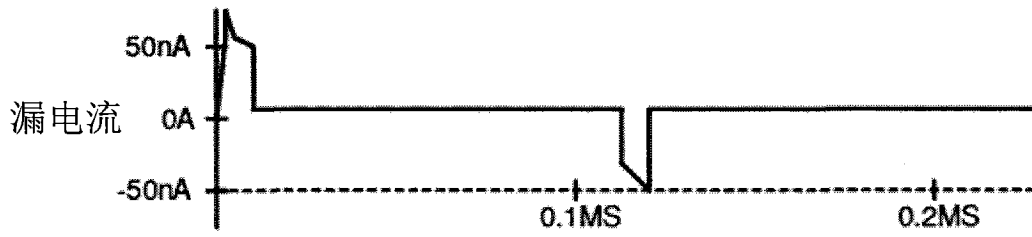


图 8B

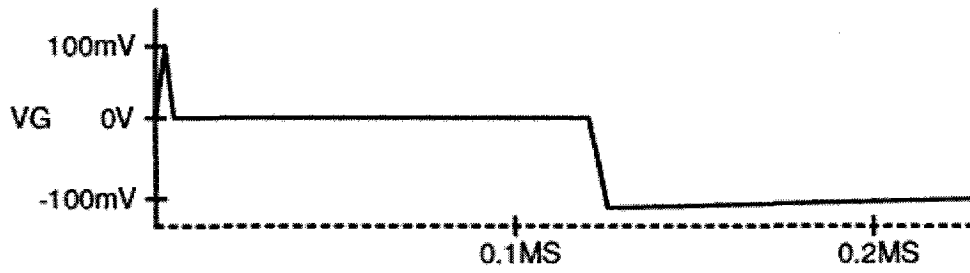


图 8C

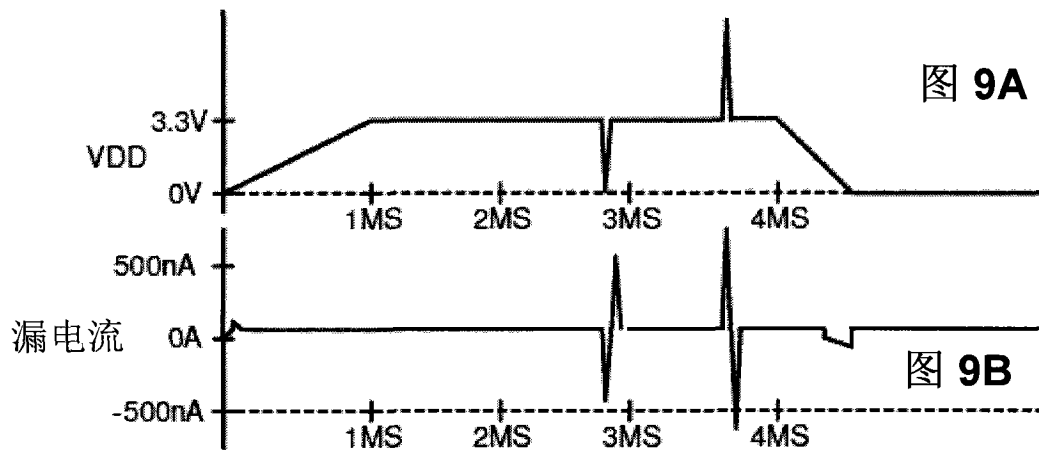


图 9A

图 9B

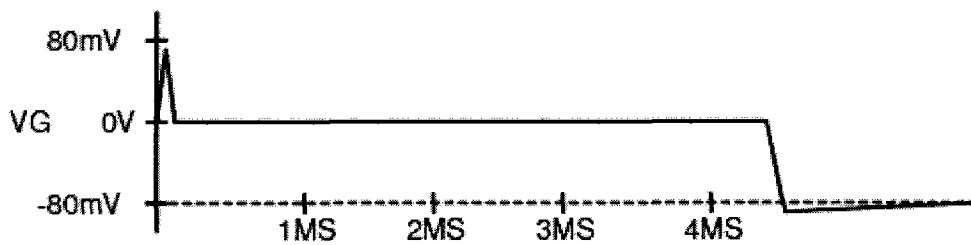


图 9C

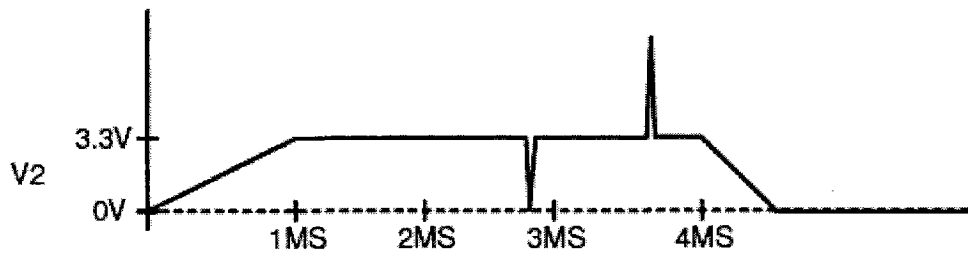


图 9D